

日本国特許庁  
JAPAN PATENT OFFICE

27.7.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年10月 7日

REC'D 10 SEP 2004

出願番号  
Application Number: 特願 2003-347803

WIPO

[ST. 10/C]: [JP 2003-347803]

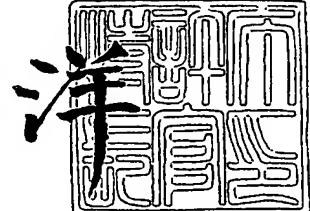
出願人  
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17 1(a) OR (b)

2004年 8月 27日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願  
【整理番号】 0390592203  
【提出日】 平成15年10月 7日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H03K 19/0185  
【発明者】  
  【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
  【氏名】 村瀬 正樹  
【発明者】  
  【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
  【氏名】 仲島 義晴  
【発明者】  
  【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
  【氏名】 木田 芳利  
【特許出願人】  
  【識別番号】 000002185  
  【氏名又は名称】 ソニー株式会社  
【代理人】  
  【識別番号】 100102185  
  【弁理士】  
  【氏名又は名称】 多田 繁範  
  【電話番号】 03-5950-1478  
【先の出願に基づく優先権主張】  
  【出願番号】 特願2003-280583  
  【出願日】 平成15年 7月28日  
【手数料の表示】  
  【予納台帳番号】 047267  
  【納付金額】 21,000円  
【提出物件の目録】  
  【物件名】 特許請求の範囲 1  
  【物件名】 明細書 1  
  【物件名】 図面 1  
  【物件名】 要約書 1  
  【包括委任状番号】 9713935

**【書類名】特許請求の範囲****【請求項1】**

一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、

前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する

ことを特徴とする遅延時間補正回路。

**【請求項2】**

一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路において、

前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する

ことを特徴とするデータ処理回路。

**【請求項3】**

前記入力データがビデオデータであり、

前記休止時間が、水平プランキング期間又は垂直プランキング期間である

ことを特徴とする請求項1に記載のデータ処理回路。

**【請求項4】**

マトリックス状に画素を配置してなる表示部と、

前記表示部の画素をゲート線により順次選択する垂直駆動回路と、

前記画素の階調を示す階調データを順次サンプリングしてアナログ信号に変換し、前記表示部の信号線を前記アナログ信号により駆動することにより、前記ゲート線により選択された画素を駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

前記階調データの水平プランキング期間の間の所定のタイミングで、前記階調データに前記水平プランキング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して前記階調データを処理する

ことを特徴とするフラットディスプレイ装置。

**【請求項5】**

低温ポリシリコンにより前記階調データを処理する能動素子が形成されてなる

ことを特徴とする請求項4に記載のフラットディスプレイ装置。

**【請求項6】**

CGSにより前記階調データを処理する能動素子が形成されてなる

ことを特徴とする請求項4に記載のフラットディスプレイ装置。

**【書類名】明細書**

【発明の名称】遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置

**【技術分野】****【0001】**

本発明は、遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置に関するもので、例えは絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、入力データにダミーデータを介して入力データの論理レベルを強制的に切り換えることにより、TFT等による論理回路において遅延時間の変化を有効に回避することができるようとする。

**【背景技術】****【0002】**

近年、例えはPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされている。

**【0003】**

すなわちこの種の液晶表示装置は、液晶セルと、この液晶セルのスイッチング素子である低温ポリシリコンTFT (Thin Film Transistor; 薄膜トランジスタ) と、保持容量による画素をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。

**【0004】**

このような液晶表示装置においては、例えは順次ラスター走査順に入力されてなる各画素の階調を示す階調データを奇数列及び偶数列の階調データに分離し、これら奇数列及び偶数列の階調データに基づいて、それぞれ表示部の上下に設けた奇数列用及び偶数列用の水平駆動回路で表示部を駆動することにより、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置するようになされている。

**【0005】**

このように各水平駆動回路における階調データの処理においては、液晶表示装置に入力する階調データの配列との関係で、例えは特開平10-17371号公報、特開平10-177368号公報等に、種々の工夫が提案されるようになされている。

**【0006】**

このような液晶表示装置に適用される低温ポリシリコンTFTによるこの種の論理回路においては、長期間、入力値がLレベルに保持されると、続く論理レベルの立ち上がりの応答において遅延時間が長くなり、これにより直前の論理レベルの長さに応じて遅延時間が変化する問題がある。

**【0007】**

すなわち図11及び図12に示すようにこの種の論理回路において、例えは、メインクロックMCK(図12(A))に同期した入力データD1(図12(B))をレベルシフタ1に入力し、0~3[V]による振幅を0~6[V]に変換して出力する場合に、入力データD1の論理レベルがデューティー比50[%]により切り換わっている期間T1において、遅延時間tdは、ほぼ一定となる。これに対して期間T2により示すように、入力データD1の論理レベルがLレベルに長時間保持されると、直後の遅延時間td1においては、期間T1における遅延時間tdより長くなる(図12(C))。

**【0008】**

これにより図13に示すように、階調データの各ビットD1(図13(B1)及び(B2))をレベルシフトさせてサブクロックSCK(図13(A))によりラッチする場合に、この階調データが高転送速度によるデータの場合、この階調データの各ビットD1において論理レベルがデューティー比50[%]により切り換わっている期間T1においては、このサブクロックSCKにより正しくレベルシフタ1の出力データD2Aをラッチできるのに対し(図13(B1)及び(C1))、例えは垂直プランギング期間VBLの直

後においては、正しくレベルシフタ1の出力データD2をラッチできなくなる（図13（B2）及び（C2））。

#### 【0009】

このように正しくデータをラッチできない場合、液晶表示装置においては、上述したように、階調データを偶数列と奇数列とに分離して高解像度の表示部を駆動する場合、垂直プランギング期間の直後において、局所的に誤った階調により画素を駆動することになる。また例えば黒色の背景の中にウインド形状により白色の領域を表示する場合に、この白色の領域の走査開始端側でも、同様に誤った階調により画素を駆動することになる。また液晶表示装置においては、このような階調データD1が表示部の階調数に対応する例えれば6ビットパラレルにより入力され、このような遅延時間の変化においては、階調データの各ビットで発生することにより、階調データの特定ビットだけ誤ったデータをラッチする場合も発生し、これらにより表示に供する画像によっては、著しく見苦しくなる。

【特許文献1】特開平10-17371号公報

【特許文献2】特開平10-177368号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

本発明は以上の点を考慮してなされたもので、TFT等による論理回路において遅延時間の変化を有効に回避することができる遅延時間補正回路、このような遅延時間補正回路によるビデオデータ処理回路及びフラットディスプレイ装置を提案しようとするものである。

#### 【課題を解決するための手段】

#### 【0011】

かかる課題を解決するため請求項1の発明においては、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する。

#### 【0012】

また請求項2の発明においては、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に適用して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する。

#### 【0013】

また請求項4の発明においては、フラットディスプレイ装置に適用して、階調データの水平プランギング期間の間の所定のタイミングで、階調データに水平プランギング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して階調データを処理する。

#### 【0014】

請求項1の構成により、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿すれば、何らダミーデータを介挿しない場合に比して、続く論理レベルの変化における遅延時間を短くし得、その分、TFT等による論理回路において遅延時間の変化を有効に回避することができる。

#### 【0015】

これにより請求項2、請求項4の構成によれば、TFT等による論理回路において遅延時間の変化を有効に回避して、この遅延時間の変化による各種影響を有効に回避してデータ処理し得、また所望の画像を表示することができる。

#### 【発明の効果】

#### 【0016】

本発明によれば、TFT等による論理回路において遅延時間の変化を有効に回避するこ

とができるビデオデータ処理回路及びフラットディスプレイ装置を提供することができる。

【発明を実施するための最良の形態】

【0017】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0018】

(1) 遅延時間補正原理

図1は、図9との対比により本発明に係る遅延時間補正原理の説明に供するブロック図である。この補正原理においては、一定の周期で、一定期間の間、一定の論理レベルに保持される入力データを処理するデータ処理回路に対して、この一定の論理レベルに保持される期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータを入力データに介挿する。なおここでこのように一定の周期で、一定期間の間、一定の論理レベルに保持される期間は、例えばビデオデータにおける水平プランキング期間のように、有意なデータの伝送に供していない期間であり、以下においては、この期間を適宜、休止期間と呼ぶ。

【0019】

すなわちこのデータ処理回路が例えばレベルシフタ1であって、図2に示すように、メイククロックMCK(図2(A))に同期した階調データD1を振幅0~3[V]から振幅0~6[V]に補正して出力データD2を出力する場合に(図2(B)及び(D))、この階調データD1が一定の周期で、一定期間の間、一定の論理レベルに保持される水平プランキング期間T2の間、論理Lレベルから立ち上がるダミーデータDDを階調データD1に介挿する。このため例えばオア回路4を介して、このダミーデータDDによるリセットパルスHDrstを階調データD1に介挿する(図2(C))。

【0020】

これによりこの補正原理においては、何らダミーデータDDを介挿しない場合に比して、この水平プランキング期間T2の直後の論理レベルの立ち上がりにおける遅延時間td1を短くするようになされ、直前の論理レベルの長さに応じて遅延時間が変化する問題を解決するようになされている。すなわちこのようにダミーデータDDを介挿すれば、強制的に入力データの論理レベルに切り換えて、何らダミーデータDDを介挿しない場合に比して、入力データの論理レベルを論理Lレベルに保持する期間を短くすることができ、その分、この入力データD1によるデータ列において、遅延時間の変動を少なくすることができる。従ってその分、誤ったデータのラッチ等を有効に回避することができる。

【0021】

すなわち図11との対比により図3に示すように、このような論理回路出力をサブクロックSCK(図3(A))でサンプリングする場合にあっても、垂直プランキング期間VBLの間の水平プランキング期間でダミーデータDDが介挿されていることにより、垂直プランキング期間VBLに続く論理レベルの立ち上がりにおける出力データD2の遅延時間を短くし得、有効映像期間における場合と同様のタイミングにより出力データD2をサンプリングしてラッチすることができ(図3(B1)~(C2))、これにより垂直プランキング期間VBLの立ち上がりに対応する画素を正しい階調により表示することができる。また黒レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続してLレベルに保持されて立ち上がるような場合でも、正しく入力データD1をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

【0022】

ところで図10について上述した遅延時間の変化においては、入力データD1が長時間論理Lレベルに保持された直後に、論理レベルが立ち上がった場合に、この立ち上がった論理レベルの立ち下がりが遅延するものである。しかしながらこのような論理レベルの立ち上がりのタイミングを詳細に検討したところ、入力データD1が長時間論理Lレベルに

保持された場合、立ち上がりのタイミングにあっては、図11との対比により図4に示すように、立ち下がりのタイミングとは逆に、遅延時間が短くなることが判った（図4（A）～（C2））。これにより入力データD1をサンプリングするタイミングが、論理レベルが切り換わる直前に設定されている場合であって、サンプリングに係る位相余裕が少ない場合、この立ち上がりのタイミングに係る遅延時間の変化によっても、データを正しく処理できなくなる。

#### 【0023】

しかしながらこのような設定に係る場合でも、この補正原理に係るよう休止期間にデータを介挿すれば、このような立ち上がりに係る遅延時間の減少する方向への遅延時間の変化についても補正することができ、これにより例えば液晶表示装置に適用して各画素の階調を正しく補正することができる。

#### 【0024】

##### （2）実施例の構成

図5は、本発明の実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置11においては、この図5に示す各駆動回路が表示部12の絶縁基板であるガラス基板上に一体に作成され、後述する水平駆動回路、タイミングジェネレータ等の駆動回路においては、低温ポリシリコンによるTFTにより作成される。

#### 【0025】

ここで表示部12は、液晶セルと、この液晶セルのスイッチング素子であるTFTと、保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状により形成される。

#### 【0026】

垂直駆動回路13は、タイミングジェネレータ14から出力される各種タイミング信号により、この表示部12のゲート線を駆動し、これによりライン単位で表示部12に設けられた画素を順次選択する。水平駆動回路15O及び15Eは、それぞれ表示部12の上下に設けられ、シリアルパラレル（SP）変換回路16から出力される奇数列及び偶数列の階調データDOD及びDEVを順次循環的にラッチした後、各ラッチ出力をデジタルアナログ変換処理し、その結果得られる駆動信号により表示部12の各信号線を駆動する。これにより水平駆動回路15O及び15Eは、それぞれ表示部12の奇数列及び偶数列の信号線を駆動し、垂直駆動回路13で選択された各画素を階調データDOD及びDEVに応じた階調に設定する。

#### 【0027】

タイミングジェネレータ14は、この液晶表示装置11の上位の装置から供給される各種基準信号より、この液晶表示装置11の動作に必要な各種タイミング信号を生成して出力する。シリアルパラレル変換回路16は、この液晶表示装置11の上位の装置から出力される階調データD1を奇数列及び偶数列の階調データDOD及びDEVに分離して出力する。ここで階調データD1は、各画素の階調を示すデータであり、表示部12の画素の配列に対応する赤色、青色、緑色の色データのラスタ走査順の連続によるビデオデータにより形成されるようになされている。

#### 【0028】

図6は、このシリアルパラレル変換回路16を関連する構成と共に示すブロック図である。このシリアルパラレル変換回路16は、0～3[V]による階調データD1の振幅をレベルシフタ21により0～6[V]の振幅に変換した後、ラッチ回路22、23により交互にラッチして奇数列及び偶数列の階調データDOD及びDEVに分離し、ダウンコンバータ24、25により元の振幅に戻して出力する。これによりシリアルパラレル変換回路16は、レベルシフタ21によるレベルシフトにより階調データD1の振幅を拡大して処理して、高転送レートによる階調データD1を確実に2系統の階調データに分離するようになされている。

#### 【0029】

この階調データD1に係る処理において、シリアルパラレル変換回路16は、レベルシ

フタ21の出力段にオア回路27が設けられ、このオア回路27により階調データD1の水平プランギング期間で、階調データD1にダミーデータDDが介挿される。これによりこの液晶表示装置11では、階調データD1が長時間Lレベルに保持されることによる遅延時間の変化を防止し、続くラッチ回路22、23において、正しく階調データD1をラッチできるようになされている。なおこの液晶表示装置11では、レベルシフタ21で発生する遅延時間の変化だけでは、誤って階調データD1をラッチしないことにより、このようにレベルシフタ21の出力段において、ダミーデータDDを介挿するようになされている。

#### 【0030】

このためタイミングジェネレータ(TG)14においては、各水平プランギングの期間の間で信号レベルが立ち上がるリセットパルスH D r s tを出力してオア回路27に供給するようになされている。

#### 【0031】

図7は、ラッチ回路22を示す接続図である。ラッチ回路22及び23においては、ラッチのタイミングを制御するサンプリングパルスs p及びx s pがそれぞれタイミングジェネレータ14から供給される点を除いて同一に構成されることにより、以下においては、ラッチ回路22についてのみ構成を説明し、ラッチ回路23については説明を省略する。またリセットパルスr s tに係る処理については、記載を省略して示す。

#### 【0032】

このラッチ回路22においては、サンプリングパルスs pをインバータ31に入力し、このサンプリングパルスs pの反転信号を生成する。ラッチ回路22は、このサンプリングパルスs pによりオン状態に切り換わるPチャンネルMOS(以下、PMOSと呼ぶ)トランジスタQ1、インバータ31より出力されるラッチパルスs pの反転信号によりオン状態に切り換わるNチャンネルMOS(以下、NMOSと呼ぶ)トランジスタQ2によりそれぞれ正側及び負側電源V DD及びV SSに接続されてなるインバータ32に階調データD1が入力される。またそれぞれサンプリングパルスs pの反転信号によりオン状態に切り換わるPチャンネルMOSトランジスタQ3、サンプリングパルスs pによりオン状態に切り換わるNチャンネルMOSトランジスタQ4により正側及び負側電源V DD及びV SSに接続されてなるインバータ33の出力と、インバータ32の出力とが接続され、これらインバータ33、32の出力が、インバータ33と入力を共通に接続してなるインバータ34に接続される。これによりラッチ回路22は、ラッチセルを構成し、サンプリングパルスs pにより階調データD1をラッチするようになされている。

#### 【0033】

またラッチ回路22においては、それぞれサンプリングパルスs pの反転信号によりオン状態に切り換わるPチャンネルMOSトランジスタQ5、サンプリングパルスs pによりオン状態に切り換わるNチャンネルMOSトランジスタQ6により正側及び負側電源V DD及びV SSに接続されてなるインバータ35にインバータ34の出力が供給される。またサンプリングパルスs pによりオン状態に切り換わるPチャンネルMOSトランジスタQ7、サンプリングパルスs pの反転信号によりオン状態に切り換わるNチャンネルMOSトランジスタQ8によりそれぞれ正側及び負側電源V DD及びV SSに接続されてなるインバータ36の出力と、インバータ35の出力とが接続され、これらインバータ35、36の出力が、インバータ36と入力を共通に接続してなるインバータ37の出力に接続される。ラッチ回路22は、このインバータ37の出力がバッファ38を介して出力される。これによりラッチ回路22は、階調データD1をそれぞれ奇数列及び偶数列により分離してなる振幅0~6[V]の階調データD o d 1及びD e v 1を出力するようになされている。

#### 【0034】

図8は、ダウンコンバータ24を示す接続図である。ダウンコンバータ24、25は、処理対象のデータが異なる点を除いて同一に構成されることにより、以下においては、ダウンコンバータ24についてのみ構成を説明し、ダウンコンバータ25については説明を

省略する。

### 【0035】

このダウンコンバータ24は、6[V]の正側電源VDD2及び0[V]の負側電源VSSにより動作するインバータ41、このインバータ41の負側レベルを-3[V]に立ち下げるレベルシフタ42、6[V]の正側電源VDD2及び-3[V]の負側電源VSS2により動作してこのレベルシフタ42の出力のバッファリングして出力するインバータ43及び44の直列回路、3[V]の正側電源VDD1及び0[V]の負側電源VSSにより動作してインバータ44の出力の反転信号を出力するインバータ45により構成され、これらにより奇数列及び偶数列の階調データDodd及びDevを元の振幅により出力する。

### 【0036】

具体的に、レベルシフタ42は、PチャンネルMOSトランジスタQ11、NチャンネルMOSトランジスタQ12の直列回路、PチャンネルMOSトランジスタQ13、NチャンネルMOSトランジスタQ14の直列回路がそれぞれ6[V]の正側電源VDD2、-3[V]の負側電源VSS2に接続されて、PチャンネルMOSトランジスタQ11及びQ13のドレイン出力がそれぞれNチャンネルMOSトランジスタQ14及びQ12のゲートに接続される。またインバータ41の出力が、直接PチャンネルMOSトランジスタQ11に入力され、またインバータ47を介して他方のPチャンネルMOSトランジスタQ13に入力される。レベルシフタ42は、PチャンネルMOSトランジスタQ13のドレイン出力をバッファ48を介して出力し、これにより階調データDodd1及びDev1をレベルシフトさせて出力するようになされている。

### 【0037】

#### (3) 実施例の動作

以上の構成において、この液晶表示装置11では(図5)、ラスタ走査順に入力される階調データD1が、シリアルパラレル変換回路16により偶数列及び奇数列の階調データDodd及びDevに分離され、この偶数列及び奇数列の階調データDodd及びDevにより水平駆動回路15O及び15Eでそれぞれ表示部12の偶数列及び奇数列の信号線が駆動される。またこの階調データD1に対応するタイミング信号により垂直駆動回路13で表示部12のゲート線を駆動することにより、このようにして水平駆動回路15O及び15Eで信号線が駆動されてなる表示部12の画素がライン単位で順次選択され、これらにより配線パターンを効率良くレイアウトして高精細に画素を配置してなる表示部12に階調データD1による画像が表示される。

### 【0038】

液晶表示装置11においては、この階調データD1を2系統の階調データDodd及びDevに分離する際に(図6)、レベルシフタ21により階調データD1の振幅が拡大されて2系統のデータに分離され、これにより表示部12の解像度に対応した高転送レートによる階調データD1が確実に2系統の階調データDodd及びDevに分離される。

### 【0039】

この処理において、この液晶表示装置11では、ラッチ回路22、23で交互に階調データD1をラッチして2系統の階調データDodd及びDevに分離することにより、またこのシリアルパラレル変換回路16を含む駆動回路が表示部12の絶縁基板であるガラス基板上に一体に形成されて、低温ポリシリコンにより作成されていることにより、階調データの各ビットが長時間、Lレベルに保持されると、続く論理レベルの立ち上がりの後の立ち下がりで遅延時間が大きくなり、これによりラッチ回路22、23で正しく階調データD1をラッチできなくなる。またこのような論理レベルの立ち上がりにおいては、これとは逆に、遅延時間が短くなり、この場合も、条件によってはラッチ回路22、23で正しく階調データD1をラッチできなくなる。

### 【0040】

このためこの実施例では、レベルシフタ21の出力段に設けられたオア回路27により、このように一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有

する入力データである階調データに対して、この休止期間である水平プランキング期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータDDが階調データD1に介挿される（図2及び図3）。

#### 【0041】

その結果、この液晶表示装置11では、何らダミーデータDDを介挿しない場合に比して、水平プランキング間に続く論理レベルの立ち上がりにおいて、遅延時間の変化を解消し得、他のデューティー比50[%]により論理レベルが反転している期間と同様の遅延時間を確保することができる。これによりこの実施例では、TFT等による論理回路において遅延時間の変化を有効に回避することができる。またビデオデータのデータ処理回路である液晶表示装置において、このような遅延時間の変化による誤った階調による表示を有効に回避することができる。

#### 【0042】

すなわちこれにより液晶表示装置11では、垂直プランキングに続く論理レベルの立ち上がりに関して、ラッチ回路22、23に入力する階調データD1の切り換わりに係る遅延時間の変化を補正し得、これによりラッチ回路22、23において、有効映像期間における場合と同様のタイミングにより階調データD1をサンプリングして2系統の階調データDodd及びDevに正しく分離することができる。従って垂直プランキング期間VBLの立ち上がりに対応する画素を正しい階調により表示することができる。また黒レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続してLレベルに保持されて立ち上がるような場合でも、正しく入力データD1をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

#### 【0043】

なおこのような遅延時間に係る補正にあっては、水平駆動回路15O及び15Eにおけるラッチの処理においても、各ラッチ処理における時間軸方向のマージンを拡大することができ、これによってもこの液晶表示装置11では、安定に動作して所望する画像を確実に表示できるようになされている。

#### 【0044】

##### (4) 実施例の効果

以上の構成によれば、入力データである階調データD1にダミーデータDDを介挿して階調データD1の論理レベルを強制的に切り換えることにより、TFTによる論理回路において遅延時間の変化を有効に回避することができる。これによりビデオデータの処理に適用してビデオデータを正しく処理し得、液晶表示装置においては、正しい階調により所望する画像を表示することができる。

#### 【0045】

またビデオデータである階調データの処理において、水平プランキング期間でダミーデータDDを介挿することにより、垂直プランキング期間の直後における論理レベルの立ち上がり、数ラインの期間の間、論理レベルが立ち下がった直後の論理レベルの立ち上がり等において、遅延時間の変化を補正して正しくビデオデータを処理することができる。

#### 【実施例2】

#### 【0046】

ところで上述の実施例1においては、休止期間にダミーデータを介挿すれば、TFT等の論理回路における遅延時間の変化を防止することができるとの知見に基づき、水平プランキング期間にダミーデータを介挿し、水平プランキング期間に続く論理レベルの立ち下がりに係る遅延時間の増大を防止するようにしたものである。

#### 【0047】

これに対して上述の遅延時間補正原理で述べたように、TFTの論理回路における論理レベルの立ち上がりにおいては、このような論理レベルの立ち下がりとは逆に、直前で、一定期間、入力データの論理レベルが一定値に保持されると遅延時間が減少し、休止期間にダミーデータを介挿する構成にあっては、このような遅延時間の減少に係る遅延時間の

変動についても防止することができる。

**【0048】**

これらの認識に基づいて実施例1に係る構成による効果を改めて検証すべく、図6の構成においてリセットパルスH D r s tの供給を中止することによりダミーデータの介挿を中止し、黒色に縁取りして正方形形状により白色を表示したところ、図9において矢印Aにより示すように、この正方形形状による白色の領域が走査開始端側で水平方向に1画素分飛び出して表示された。

**【0049】**

またこの状態で、サンプリングパルスs pをトリガにしてオア回路27の出力データD27を詳細に波形観測したところ、この水平方向に1画素分、飛び出してなる箇所では、論理レベルの立ち上がるタイミングが進み、これにより本来、論理レベルがLレベルによりラッチされるべき直前画素が、続く画素の論理Hレベルによりラッチされていることが判った。

**【0050】**

しかしてのことから、入力データD1を切り換えて波形観測したところ、図10に示すように、長期間、入力データの論理レベルが一定値に保持された場合、続く画素j+1に対応する論理レベルの立ち上がりにおいては、その立ち上がりのタイミングだけが進み、立ち下がりのタイミングにあっては、何ら変化していないことが確認された(図10(B1)～(C2))。なおこの図10において、符号2s pは(図10(A))、ラッチ2回路2、23に入力されるラッチパルスs p、x s pの2倍の周期によるこれらラッチパルスs p、x s pの生成基準信号である。

**【0051】**

これにより図6に示す構成にあっては、休止期間にダミーデータを介挿してTFTの論理回路における遅延時間の変化を防止する構成ではあるものの、この遅延時間の変化が論理レベルの立ち下がりに係る遅延時間の増大によるものではなく、論理レベルの立ち上がりに係る遅延時間の減少によるものであることが判った。

**【0052】**

これによりこの実施例によれば、遅延時間補正原理で述べたように、論理レベルの立ち上がりに係る遅延時間の減少による遅延時間の変化についても、確実に防止できることを確認することができた。

**【実施例3】**

**【0053】**

なお上述の実施例においては、レベルシフタの出力段でダミーデータを介挿する場合について述べたが、本発明はこれに限らず、さらに高速度で階調データを処理する場合に、レベルシフタにおける遅延時間の変化まで問題となる場合には、レベルシフタの入力側でダミーデータを介挿するようにしてもよい。

**【0054】**

また上述の実施例においては、水平プランギング期間にダミーパルスを介挿する場合について述べたが、本発明はこれに限らず、必要に応じて垂直プランギング期間に介挿するようにしてもよい。

**【0055】**

また上述の実施例においては、本発明を液晶表示装置に適用して階調データの処理において遅延時間を補正する場合について述べたが、本発明はこれに限らず、種々のビデオデータの処理回路に広く適用することができる。

**【0056】**

また上述の実施例においては、本発明をビデオデータの処理回路に適用した場合について述べたが、本発明はこれに限らず、種々のデータ処理回路において、遅延時間を補正する場合に広く適用することができる。

**【0057】**

また上述の実施例においては、低温ポリシリコンによる能動素子による液晶表示装置に

本発明を適用する場合について述べたが、本発明はこれに限らず、高温ポリシリコンによる能動素子による液晶表示装置、CGS (Continuous Grain Silicon) による能動素子による液晶表示装置等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置、さらには種々の論理回路に広く適用することができます。

#### 【産業上の利用可能性】

##### 【0058】

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

#### 【図面の簡単な説明】

##### 【0059】

【図1】本発明に係る遅延時間の補正原理の説明に供するブロック図である。

【図2】図1に係る補正原理の説明に供するタイミングチャートである。

【図3】垂直プランギング期間と遅延時間との関係を示すタイミングチャートである。

【図4】遅延時間が減少する場合について、遅延時間の変化の説明に供するタイミングチャートである。

【図5】本発明の実施例1に係る液晶表示装置を示すブロック図である。

【図6】図5の液晶表示装置におけるシリアルパラレル変換回路を周辺構成と共に示すブロック図である。

【図7】図6のシリアルパラレル変換回路におけるラッチ回路を示す接続図である。

【図8】図6のシリアルパラレル変換回路におけるダウンコンバータを示す接続図である。

【図9】実施例2に係る遅延時間の変化の説明に供する略線図である。

【図10】図9の遅延時間の変化の説明に供するタイミングチャートである。

【図11】遅延時間の変化の説明に供するブロック図である。

【図12】遅延時間の変化の説明に供するタイミングチャートである。

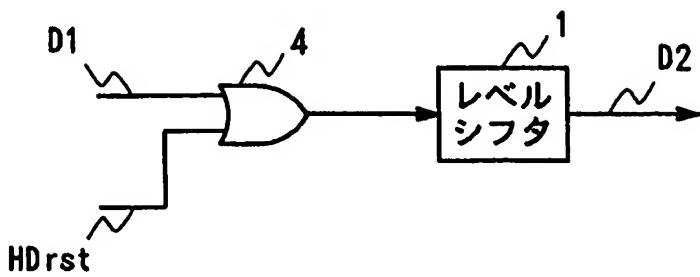
【図13】垂直プランギング期間と遅延時間との関係を示すタイミングチャートである。

#### 【符号の説明】

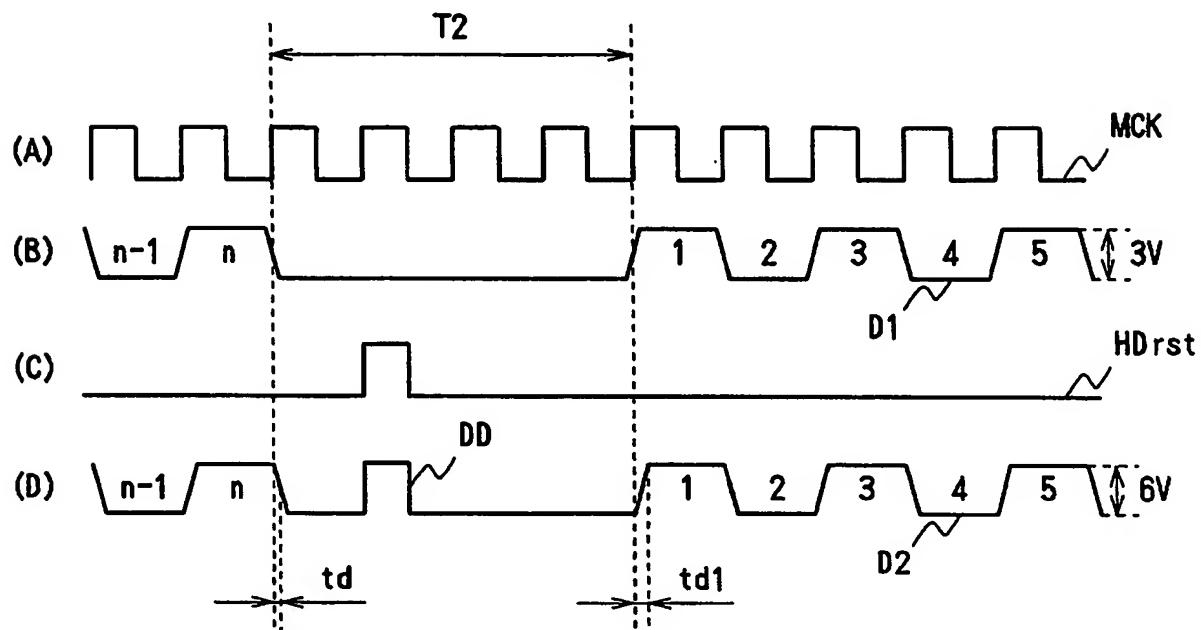
##### 【0060】

1、21、42……レベルシフタ、4、27……オア回路、11……液晶表示装置、12……表示部、14……タイミングジェネレータ、150、15E……水平駆動回路、22、23……ラッチ回路、24、25……ダウンコンバータ

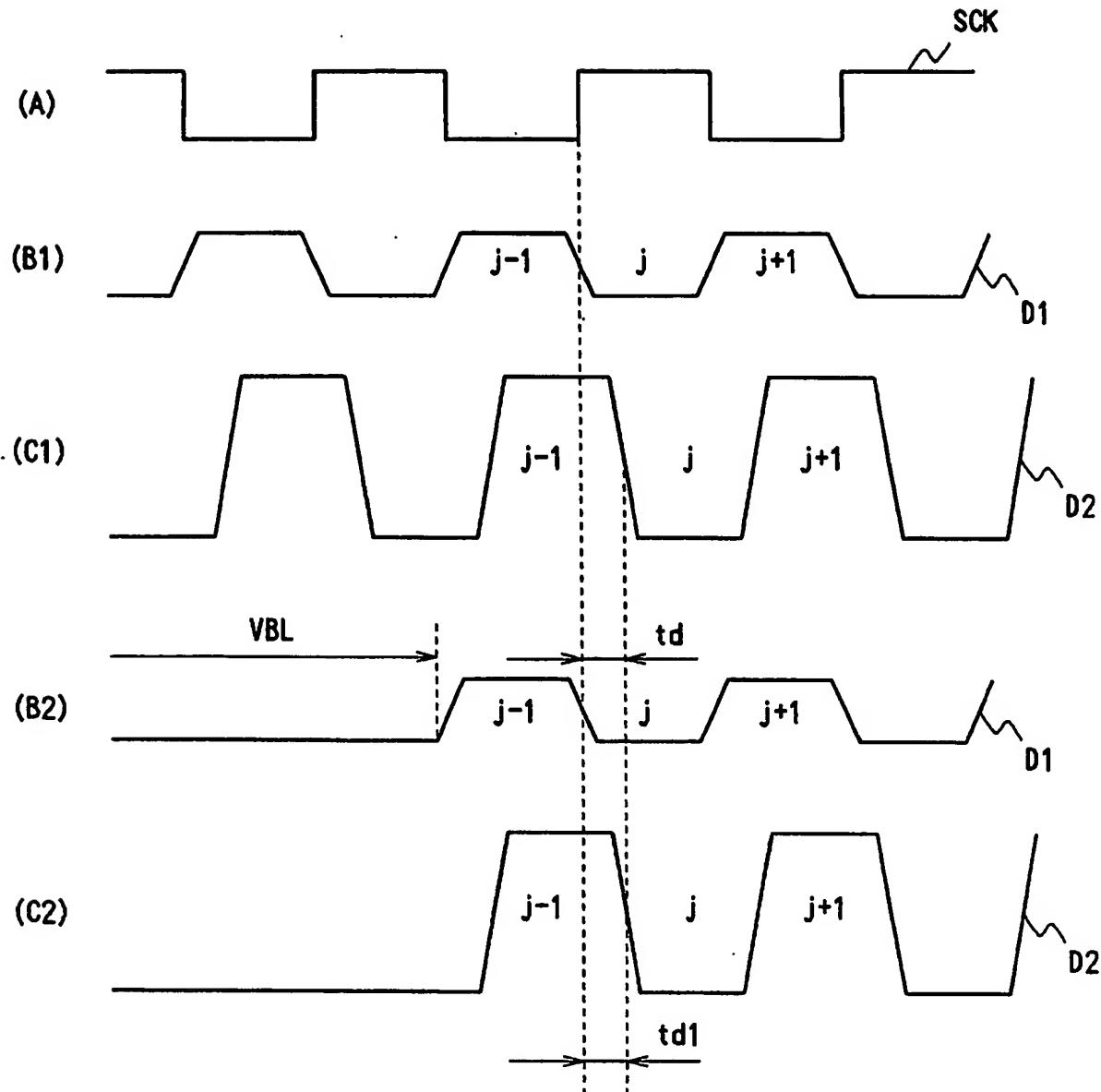
【書類名】図面  
【図1】



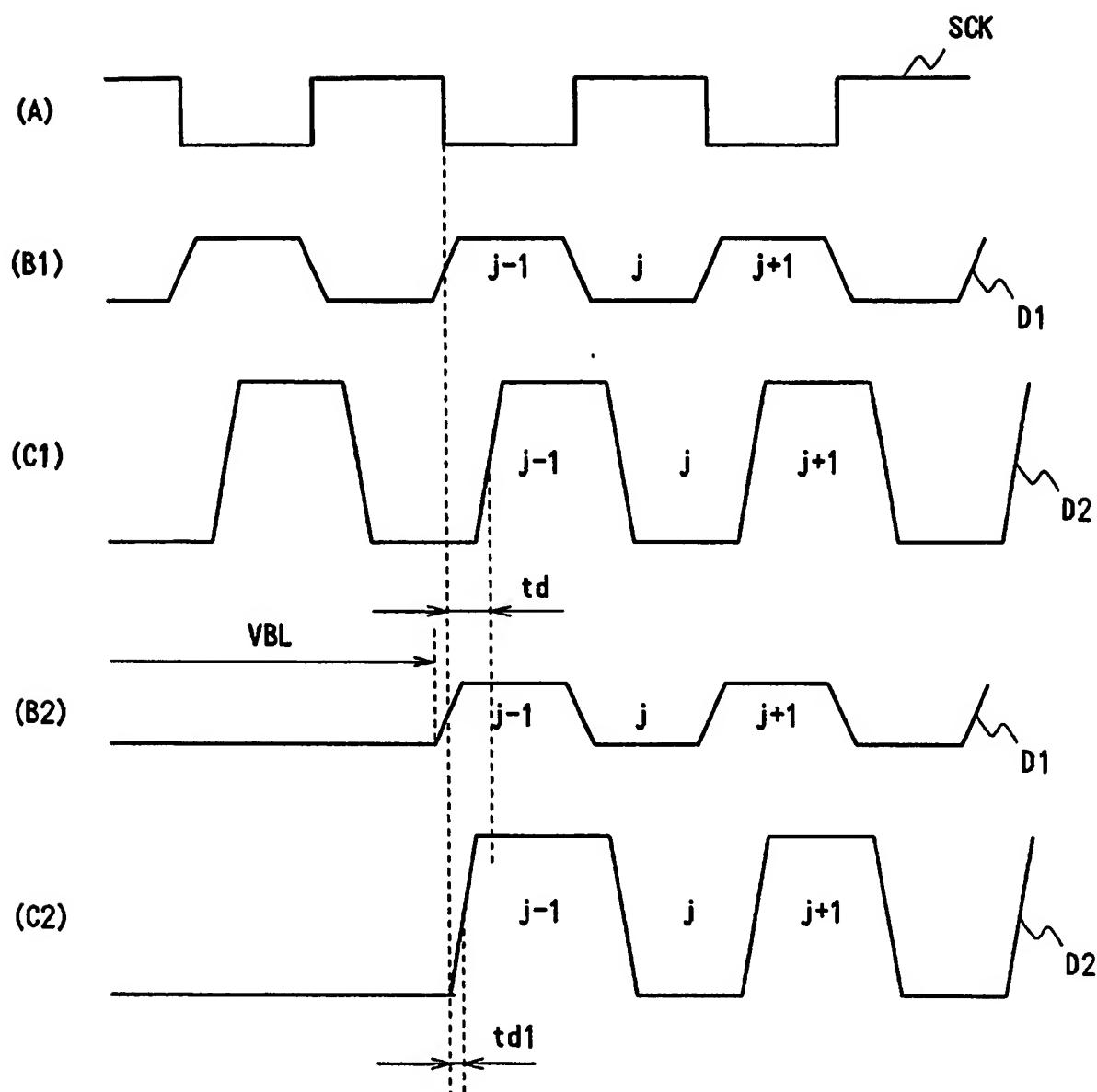
【図2】



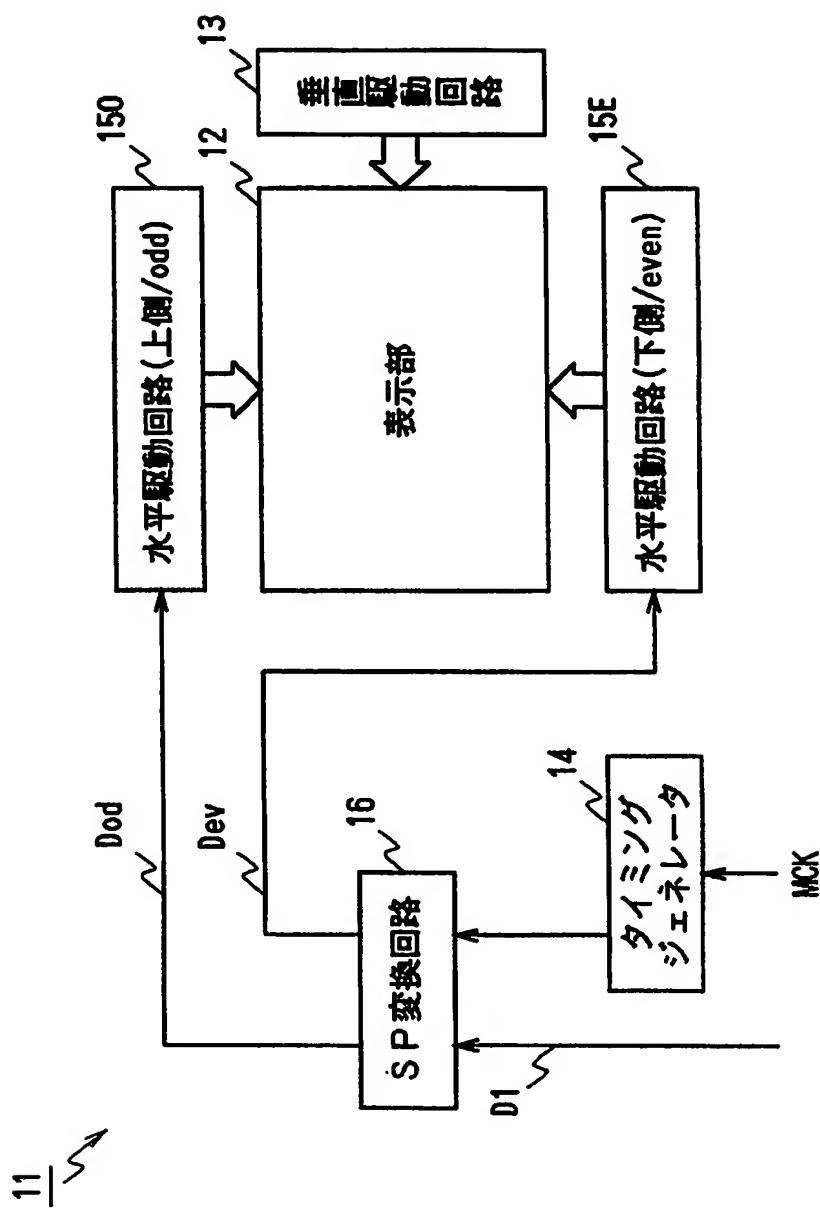
【図3】



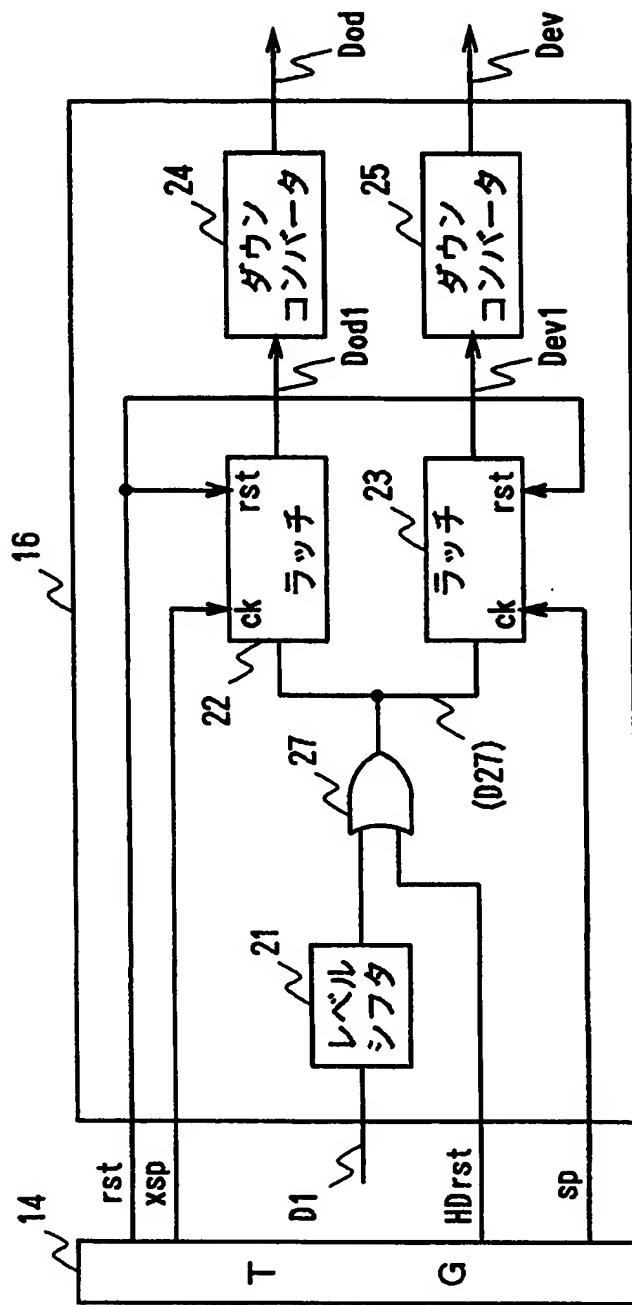
【図 4】



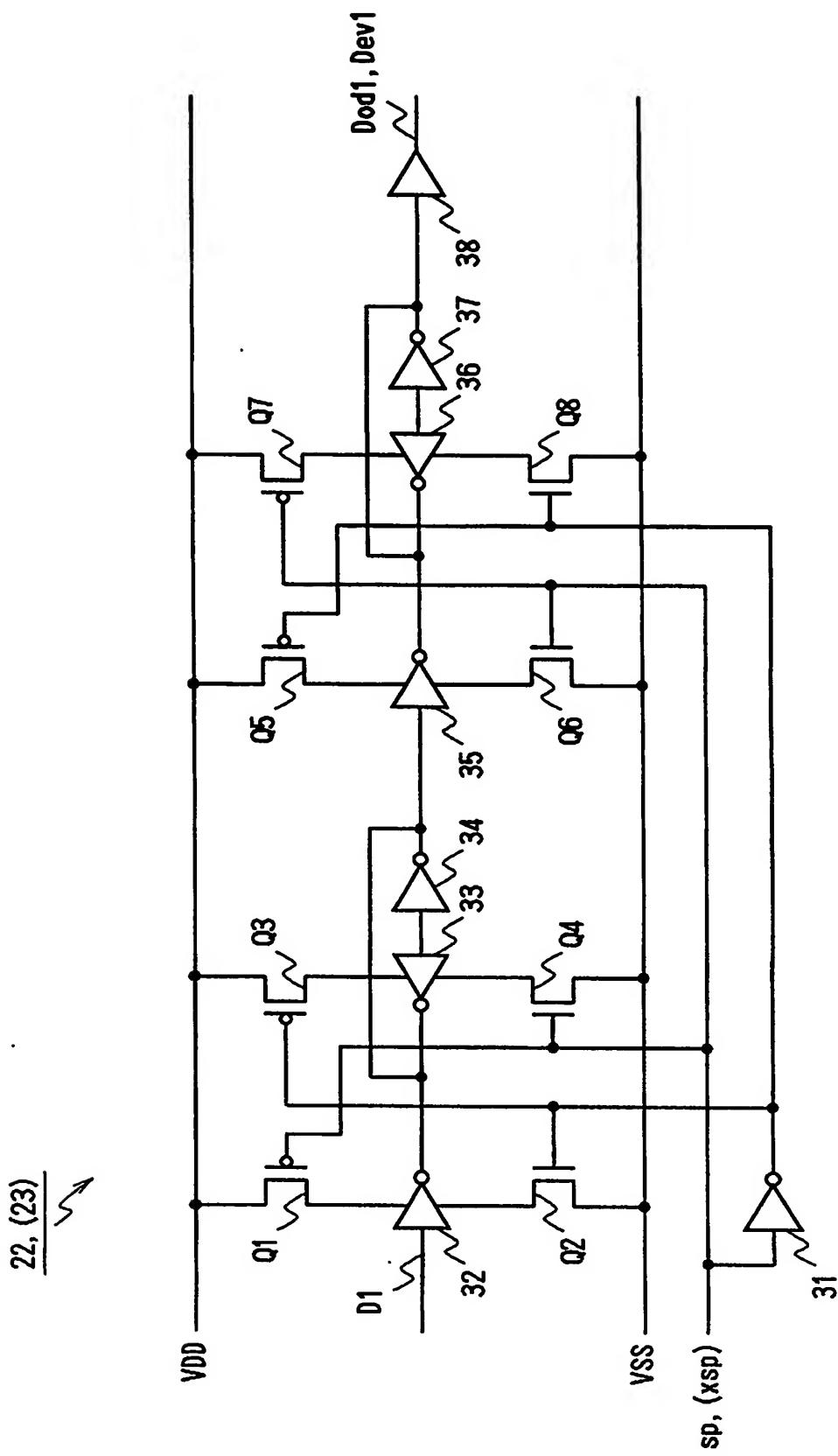
【図5】



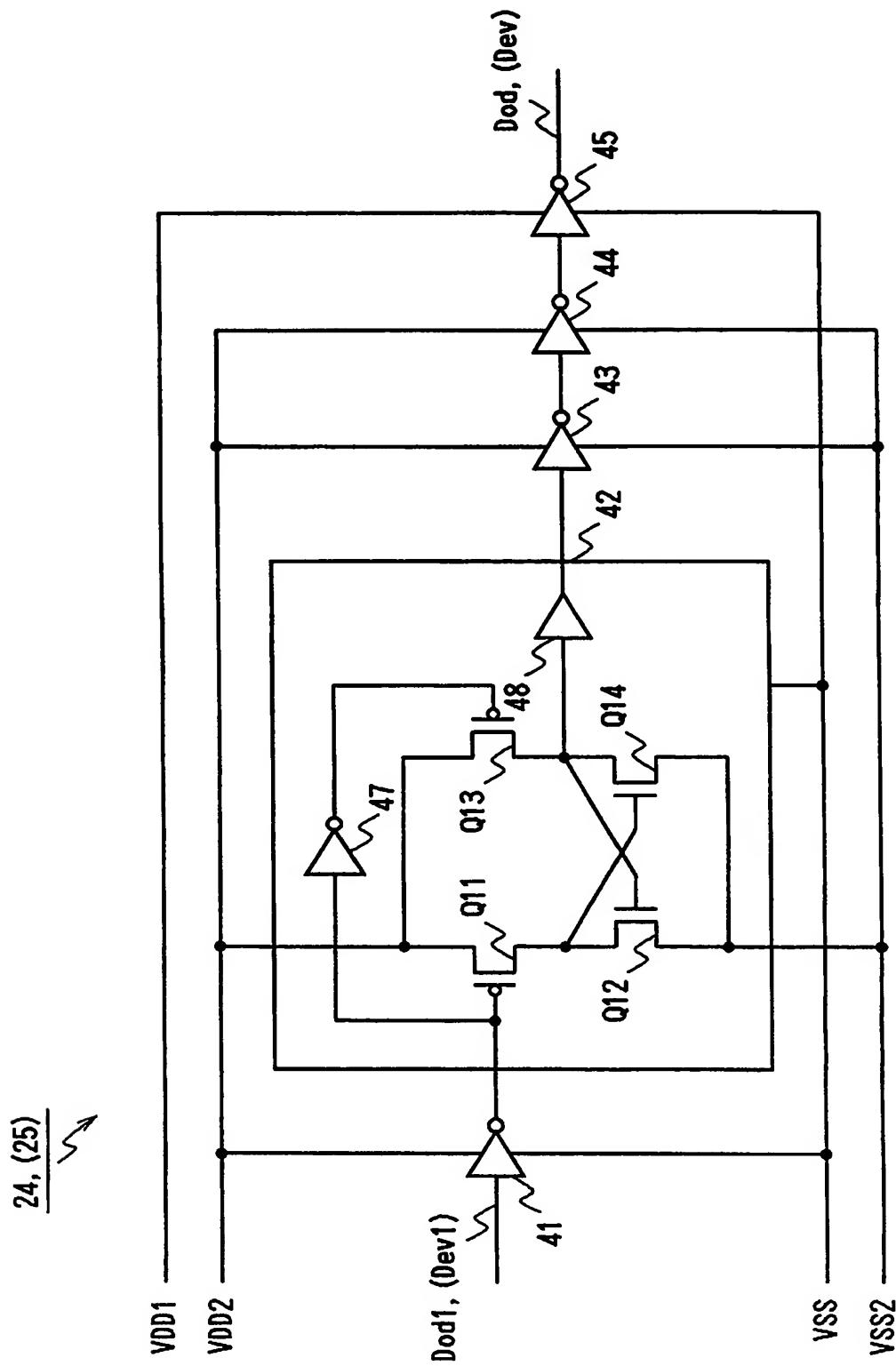
[図 6]



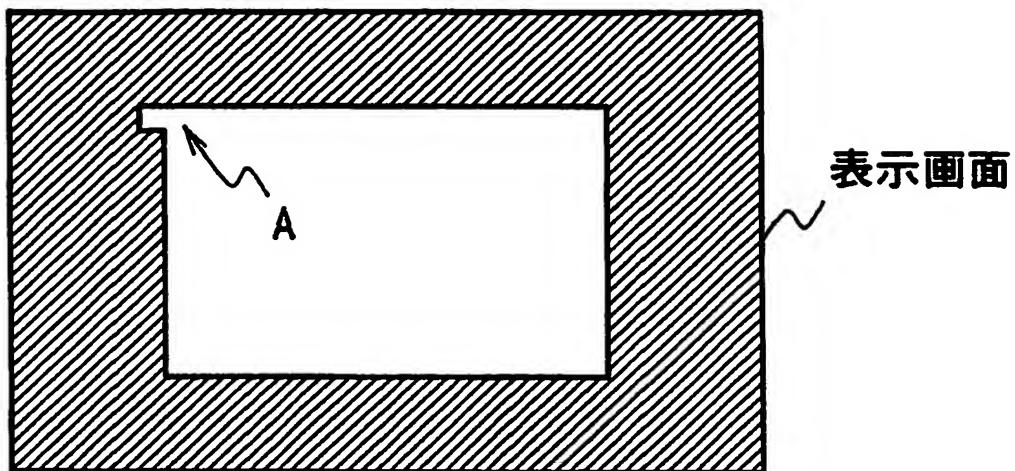
【図7】



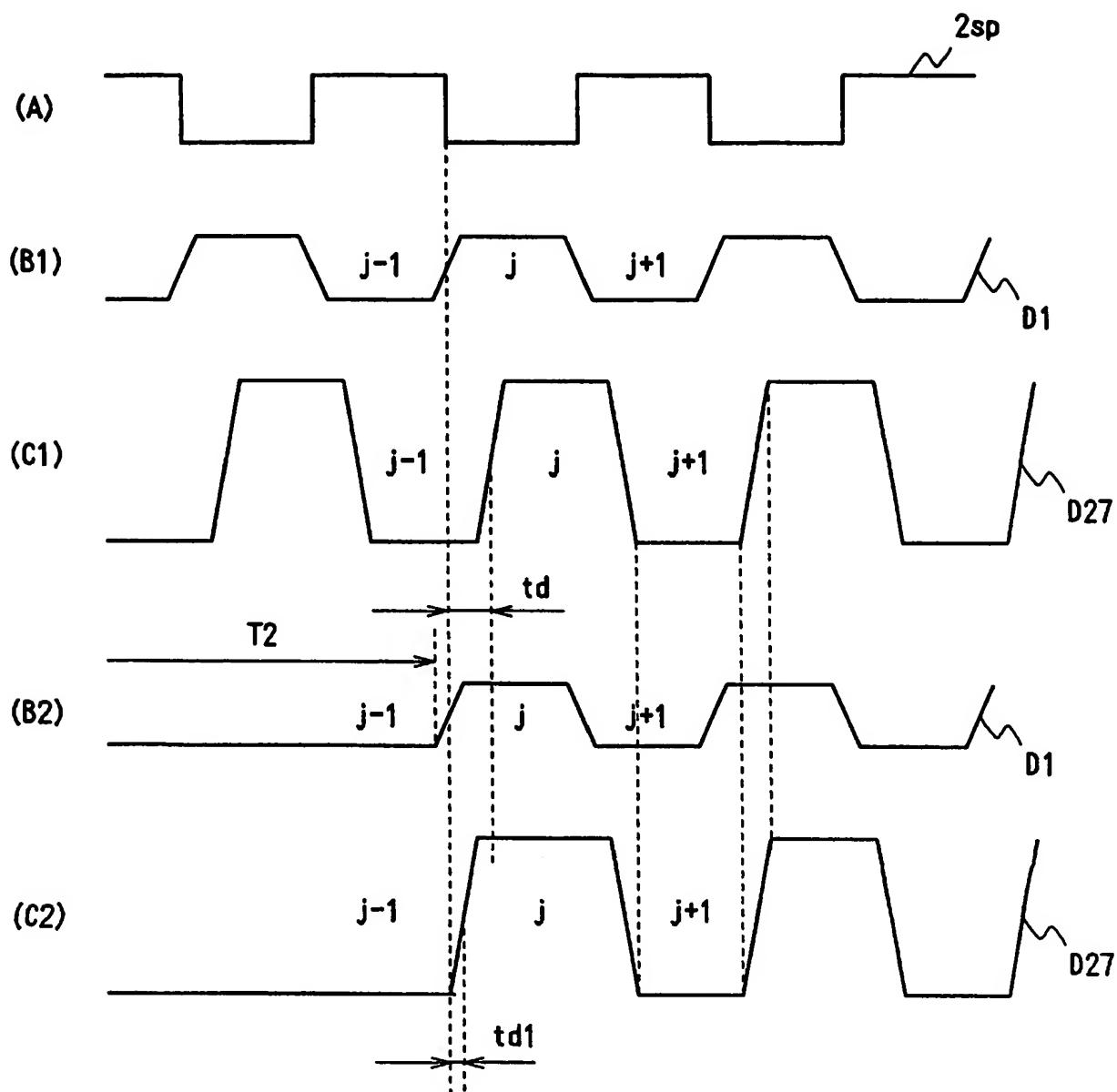
【図8】



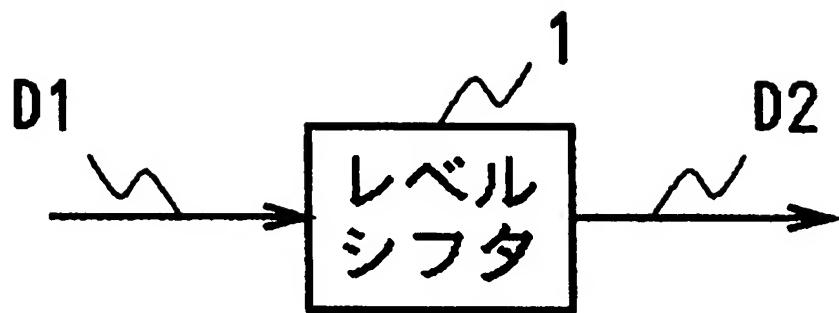
【図9】



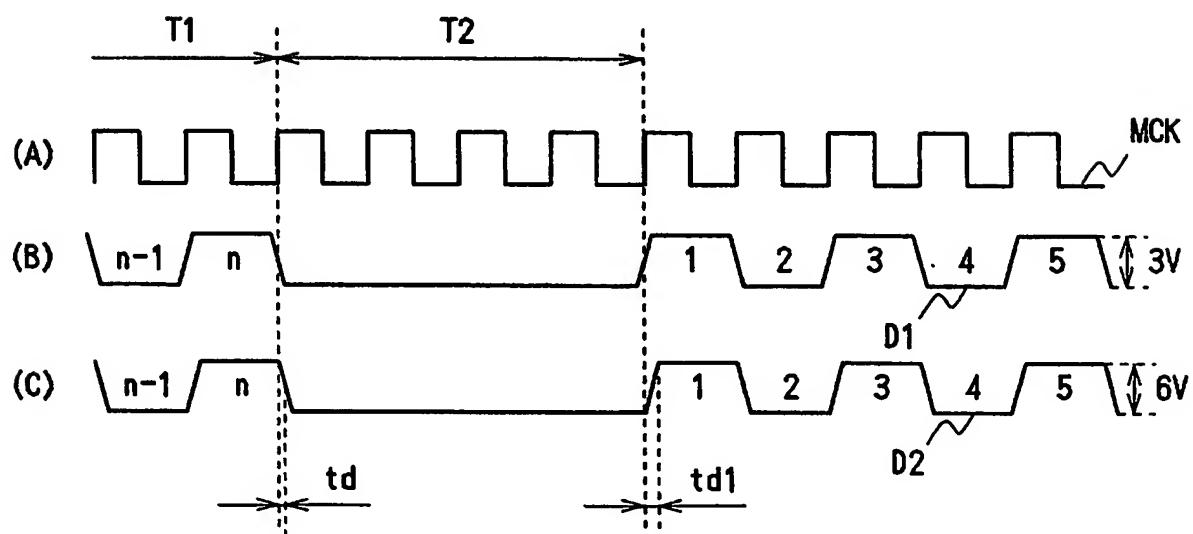
【図10】



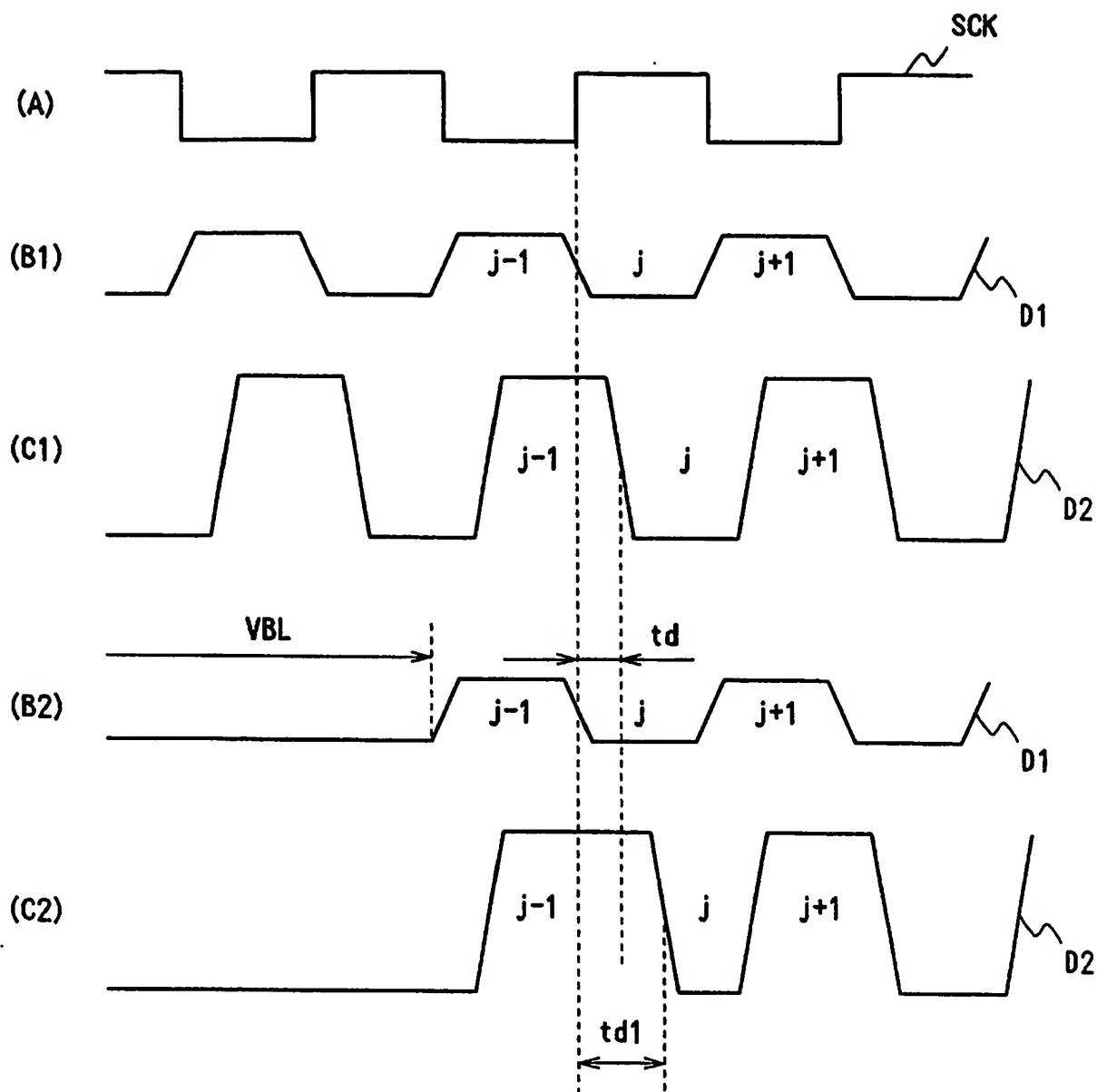
【図11】



【図12】



【図13】



【書類名】要約書

【要約】

【課題】 本発明は、遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、TFT等による論理回路において遅延時間の変化を有効に回避することができるようとする。

【解決手段】 本発明は、入力データD1にダミーデータを介挿して(4)入力データD1の論理レベルを強制的に切り換える。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2003-347803
受付番号	50301666020
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年10月10日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社
【代理人】	申請人
【識別番号】	100102185
【住所又は居所】	東京都豊島区東池袋2丁目45番2号ステラビル 501 多田特許事務所
【氏名又は名称】	多田 繁範

特願 2003-347803

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都品川区北品川6丁目7番35号  
氏名 ソニー株式会社